

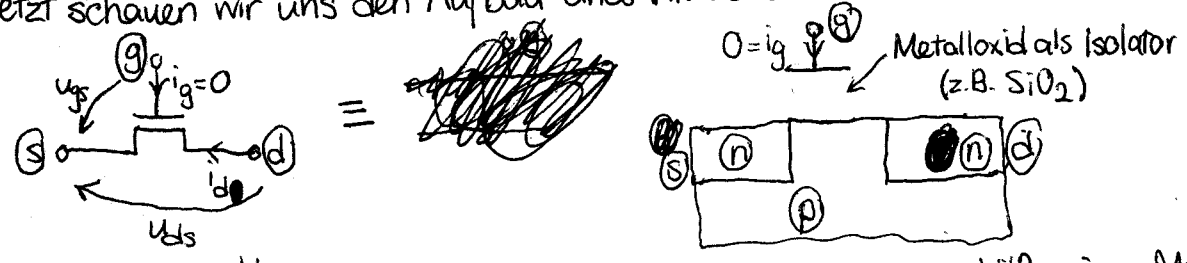
MUSTERLÖSUNG - Übungsblatt 8

A1) In der gegebenen Schaltung haben wir einen nMOS-Transistor gegeben, der je nach der Teilaufgabe an der Position 1 mit einem pMOS-Transistor zu einer CMOS (komplementäre MOS)-Schaltung und an der Position 2 mit einem Widerstand im Rahmen der Widerstand-Transistor-Logik verschaltet wird. Zunächst schauen wir uns an, welche Eigenschaften ein nMOS-Transistor besitzt. Die Eigenschaften eines pMOS-Transistors sind dann wie bei bipolaren Transistoren durch geeignete Vorzeichenumkehrungen in analoger Weise zu bestimmen. Mehr dazu finden Sie im Skriptum.

Am Anfang betrachten wir ein Paar Begrifflichkeiten. Erste Art der Transistoren, die wir letztes Mal besprochen haben, ist die Bipolartransistoren. Die Zweite heißt Feldeffekttransistoren oder kürzer FET ($\hat{=}$ Field Effect Transistor). Ein Feldeffekttransistor hat auch drei Anschlüsse, diesmal ~~Source~~ ^{Source}, ~~Gate~~ ^{Gate} und Drain, die mit den Buchstaben g, s und d bezeichnet werden. Die zugehörigen Ströme sind analog zu Bipolartransistoren. Der Strom von Gate heißt i_g und ist wegen der Isolation immer $i_g = 0$. Der andere Strom wird i_d , also Drainstrom, genannt und nach Konvention üblicherweise so zu verwenden. Natürlich kann man sich ein $i_s = -i_d$ definieren, was aber völlig unnötig ist. Der Hauptstrom eines FETs ist dieser i_d , analog zu dem ~~der~~ ^{der} Emitter-Kollektor-Strecke, was in der Emitterschaltung $i_c = \beta \cdot i_b$ mit relativ großem β entspricht.

Ein anderer Name der Feldeffekttransistoren ist Unipolartransistor. Der Grund dafür ist, dass im Gegensatz zu Bipolartransistoren, wobei der Strom ~~in~~ ⁱⁿ der Emitter-Kollektor-Strecke in folgender Reihenfolge über n-dotierte, p-dotierte und wieder n-dotierte Schichten fließt (dieses ist für npn der Fall, bei pnp andersum), also zwei Pole (lat. bipolar) hat, ^{der Hauptstrom} nur über eine eindeutig dotierte Kanal, nämlich bei nMOS über n-Kanal und pMOS über p-Kanal fließt, also nur ein Pol hat.

Jetzt schauen wir uns den Aufbau eines nMOSFETs:



Wie man im ~~rechten~~ ^{rechten} Bild merkt, wurde der Gate-Anschluss mithilfe eines Metalloxids, wobei SiO_2 ($\hat{=}$ Siliziumoxid) am meisten Einsatz findet, von dem Halbleitermaterial, mit dem Drain und Source Anschlüsse gebildet werden, isoliert. Daher kommt der Name MOS ($\hat{=}$ Metal-Oxide-Semiconductor).

Wegen dieser Isolation ist $i_g = 0$. Die Spannungen sind wie bei Bipolartransistoren intuitiver zu nennen, jedoch auch hier sind nach Konvention die Gate-Source-Spannung u_{gs} und Drain-Source-Spannung u_{ds} , die natürlich assoziiert mit i_d ist.

Im ~~rechten~~ ^{rechten} Bild sieht man, dass es zwischen (d) und (s) kein n-Kanal gebildet wurde, zwischen diesen beiden Anschlüssen gibt es zunächst eine p-dotierte Schicht, weswegen der nMOS sperrt. Diese Situation ist dann der Fall, wenn $u_{gs} < U_{th}$ (bei pMOS andersum!) gilt. Dabei ist U_{th} , die sogenannte Thresholdspannung, eine charakteristische Größe eines Transistors, die die Grenzspannung für die Bildung eines Kanals angibt und je nach Dotierungsrate variabel ist. Wenn u_{gs} kleiner als U_{th} ist, befindet sich der nMOS im Sperrbereich, wobei $i_d = 0$ gilt.

Genau über diese U_{th} unterscheiden sich die beiden Arten der nMOS-Transistoren aus dem Skriptum. Die „normally off“ ($\hat{=}$ Enhancement), also Anreicherungstyp-nMOS haben eine $U_{th} > 0$. Dagegen ist

U_{th} bei „normally on“ (\cong Depletion), also Verarmungstyp - nMOS kleiner als 0, also leitet der Transistor auch wenn es keine Gate-Source-Spannung angelegt wurde, d.h. $U_{gs}=0$ ist.

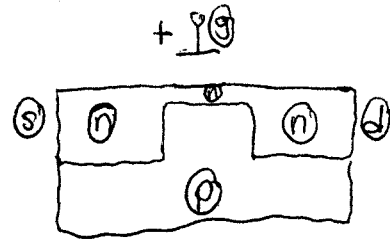
Enhancement:



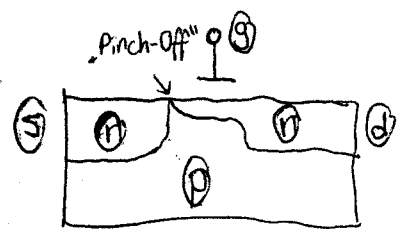
Depletion:



Im folgenden betrachten wir uns nur nMOS vom Anreicherungstyp. Wenn $u_{gs} > U_{th}$ gilt, befindet man sich zunächst in dem linearen Bereich. Dabei wurde an Gate eine Spannung angelegt und die positiven Ladungen, die in p-dotierter Schicht überwiegen, nach unten abgestoßen. Dadurch wurde ein n-Kanal unter Gate gebildet, wodurch der Drainstrom i_d zu Source fließen kann. Es gilt im linearen Bereich $u_{gs} - U_{th} \cong u_{ds}$

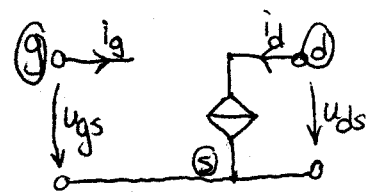


Wenn aber i_d und dadurch u_{ds} so groß wird, dass $u_{gs} - U_{th} < u_{ds}$ gilt, fängt der Kanal an, sich in der Nähe von Source zu schließen. Je größer u_{ds} wird, so viel wird der Kanal geschlossen. Dieser Arbeitsbereich wird Sättigungsbereich benannt (Siehe auch Digitale Schaltungen 1)



Diese Charakteristik der MOSFET, dass er eingestellt werden kann, ob er sperrt oder leitet ist schaltungstechnisch analog zu Bipolartransistoren, hat jedoch eine andere physikalische Grundlage. Aufgrund dieses Verhaltens, womit die „1“er und „0“er in Logikschaltungen realisiert werden und auch aufgrund ihrer extrem hohen Integrierbarkeit finden die Feldeffekttransistoren heutzutage viel Ansatz.

Außerdem sind in der Fragestellung die charakterisierenden Gleichungen eines nMOS-Transistors gegeben, die analog zu Bipolartransistoren von einem Modell für Transistoren hergeleitet werden. Das entsprechende Modell für Feldeffekttransistoren heißt Schichman-Hodges-Modell. Das Ersatzschaltbild des Transistors gemäß dieser Modellierung sieht folgendermaßen aus:



Man merkt an dieser Stelle, dass der Transistor völlig symmetrisch bezüglich Drain und Source ist. Nach Konvention wird aber festgelegt, dass der Drain immer an der größeren Potential (nMOS!) liegen soll, also $u_{ds} \geq 0$ gilt.

Leitet man die Leitwertbeschreibung dieses ESBs her, merkt man sofort, dass die erste Gleichung durch $i_g = 0$ festgestellt werden kann. Für die zweite muss man die oben diskutierte Fallunterscheidung machen.

Die abhängige Stromquelle wird von u_{gs} und u_{gd} gleichermaßen gesteuert und durch diese wurden die Ströme i_1 und i_2 eingepreßt, wobei $i_d = i_1 - i_2$ gilt. Außerdem gilt nach KVL $u_{ds} = u_{gs} - u_{gd}$

Für i_1 und i_2 gelten:

$$i_1 = \begin{cases} \frac{1}{2} \beta (u_{gs} - U_{th})^2 & , u_{gs} > U_{th} \\ 0 & , u_{gs} \leq U_{th} \end{cases} \quad \text{und} \quad i_2 = \begin{cases} \frac{1}{2} \beta (u_{gd} - U_{th})^2 & , u_{gd} > U_{th} \\ 0 & , u_{gd} \leq U_{th} \end{cases}$$

1) Zunächst schaue man sich den Fall $u_{gs} \leq U_{th}$:

Daraus folgt einerseits $i_1 = 0$, andererseits, da $u_{ds} \geq 0$ immer gilt $u_{gs} \geq u_{gd} \Rightarrow U_{th} \geq u_{gd} \Rightarrow i_2 = 0$. Also gilt $i_d = 0$ unter der Bedingung $u_{gs} \leq U_{th}$, was dem Sperrbereich entspricht.

2) Dann betrachte man $u_{gs} > U_{th} \wedge u_{gs} - U_{th} \geq u_{ds}$.

Aus der ersten Bedingung folgt $i_1 = \frac{1}{2} \beta (u_{gs} - U_{th})^2$. Setzt man in die zweite Bedingung $u_{ds} = u_{gs} - u_{gd}$ ein $\Rightarrow u_{gs} - U_{th} > u_{gs} - u_{gd} \Leftrightarrow u_{gd} > U_{th} \Rightarrow i_2 = \frac{1}{2} \beta (u_{gd} - U_{th})^2$

Also gilt $i_d = i_1 - i_2 = \frac{\beta}{2} [(u_{gs} - U_{th})^2 - (u_{gd} - U_{th})^2] = \dots = \beta (u_{gs} - U_{th}) u_{ds} - \frac{1}{2} u_{ds}^2$ für $0 < u_{gs} - U_{th} > u_{ds}$, was dem linearen Bereich entspricht.

einsetzen von $u_{gd} = u_{gs} - u_{ds}$ und weitere Rechnung

3) Letzter Bereich hat die Bedingungen: $u_{gs} > U_{th} \wedge u_{gs} - U_{th} \leq u_{ds}$.

Aus Bedingung 1 folgt wieder $i_d = \frac{1}{2} \beta (u_{gs} - U_{th})^2$.

Setzt man in die zweite Bedingung $u_{ds} = u_{gs} - u_{gd}$ ein $\Rightarrow u_{gs} - U_{th} \leq u_{gs} - u_{gd} \Leftrightarrow u_{gd} \leq U_{th} \Rightarrow i_2 = 0$

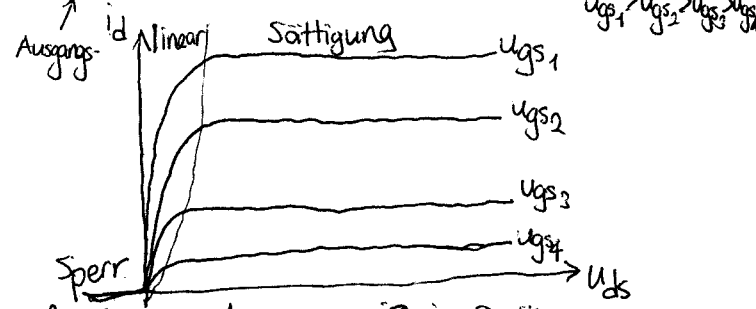
Also gilt $i_d = \frac{1}{2} \beta (u_{gs} - U_{th})^2$, für $0 < u_{gs} - U_{th} \leq u_{ds}$, was dem Sättigungsbereich entspricht.

Schreibt man diese hergeleitete Leitwertbeschreibung auf, merkt man, dass sie ~~der~~ auf dem Übungsblatt entspricht:

$$i_g = 0$$

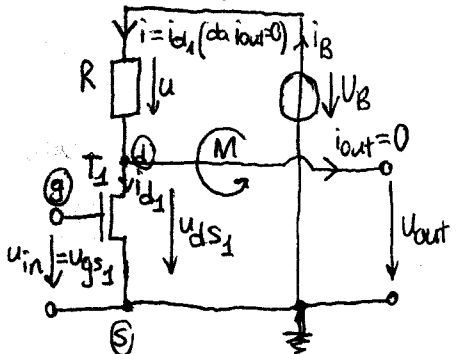
$$i_d = \begin{cases} 0 & , u_{gs} - U_{th} \leq 0 \\ \beta (u_{gs} - U_{th}) u_{ds} - \frac{1}{2} u_{ds}^2 & , 0 < u_{gs} - U_{th} > u_{ds} \\ \frac{1}{2} \beta (u_{gs} - U_{th})^2 & , 0 < u_{gs} - U_{th} \leq u_{ds} \end{cases}$$

Die Kennlinie dazu:



Für Feldeffekttransistoren ist keine Eingangskennlinie erforderlich, da immer $i_g = 0$ gilt.

a) Am Anfang befindet sich der Schalter an der zweiten Position, also wird der n-MOSFET mit einem Widerstand folgendermaßen verschaltet:



Man merkt ganz leicht, dass sowohl u_{ds1} als auch u_{out} zwischen den Knoten ④ und ⑤ in selbe Richtung abfallen.

$$\Rightarrow u_{out} = u_{ds1}$$

b) Um $u_{out} = u_{ds1}$ in Abhängigkeit von i_{d1} und R und U_B zu bestimmen, soll man den Widerstand R anhand einer geeigneten Masche, die in diesem Fall M ist, berücksichtigen.

KVL bei M: $u + u_{ds1} - U_B = 0 \Rightarrow u_{out} = U_B - u \Rightarrow u_{out} = U_B - R \cdot i_{d1}$

Ohmsches Gesetz: $u = R \cdot i_{d1}$ einsetzen

c) Durch die obige vereinfachte Form der Schaltung merkt man leicht, dass $u_{in} = u_{gs1}$ gilt. Sollte man auf diese Form nicht kommen, kann man trotzdem ganz leicht anhand einer KVL-Gleichung sehen, dass dieser Zusammenhang stimmt. Außerdem gilt für die Thresholdspannung U_{th1} dieses Transistors laut Angabe $U_{th1} = 2V$. Man sieht dann schnell, dass $u_{gs1} - U_{th1} = u_{in} - U_{th1} = 1V - 2V = -1V < 0$ gilt.

\Rightarrow Transistor ist im Sperrbereich. $\Rightarrow i_{d1} = 0A$.

Setzt man diesen Wert des Stroms in die in b) vermittelte Gleichung ein, sieht man:

$$u_{out} = U_B - R \cdot 0A = U_B = 5V \Rightarrow u_{out} = 5V$$

Wobei $U_B = 5V$ von der Angabe abgelesen wird.

d) Der Übergang zwischen linearem Bereich und Sättigungsbereich findet genau dann statt, wenn $u_{gs1} - U_{th1} = u_{ds1}$ gilt. Also muss dieser Zusammenhang für u_{ds1} gelten, da genau für diesen Wert, die Bereiche sich miteinander schneiden.

Außerdem gelten $u_{gs,1} = u_{in} = 3V$ und $U_{th,1} = 2V$, laut Angabe.

$$\Rightarrow u_{ds,1} = u_{gs,1} - U_{th,1} = 3V - 2V = 1V \Rightarrow \boxed{u_{ds,1} = 1V}$$

e) Befindet sich T_1 in Sättigung, was wir annehmen, gilt $i_{d,1} = \frac{1}{2} \beta_1 (u_{gs,1} - U_{th,1})^2$. Wir brauchen $i_{d,1}$ zu bestimmen, da wir dann mithilfe der Gleichung $u_{out} = U_B - R \cdot i_{d,1}$ aus Teilaufgabe b), die erforderliche Größe u_{out} angeben.

Es gilt weiter $u_{gs,1} = 3V$, $U_{th,1} = 2V$, $\beta_1 = 1 \cdot 10^{-3} \frac{A}{V^2}$, $U_B = 5V$, $R = 6k\Omega$ laut Angabe.

$$\Rightarrow i_{d,1} = \frac{1}{2} \beta_1 (u_{gs,1} - U_{th,1})^2 = \frac{1}{2} \cdot 1 \cdot 10^{-3} \frac{A}{V^2} (3V - 2V)^2 = \frac{1}{2} \cdot 1 \cdot 10^{-3} \frac{A}{V^2} \cdot 1V^2 = 0,5 \cdot 10^{-3} A$$

$$\Rightarrow u_{out} = U_B - R \cdot i_{d,1} = 5V - 6 \cdot 10^3 \frac{V}{A} \cdot 0,5 \cdot 10^{-3} A = 5V - 3V = 2V \Rightarrow \boxed{u_{out} = 2V}$$

f) In der letzten Teilaufgabe haben wir angenommen, dass der Transistor T_1 sich in der Sättigung befinde. Danach haben wir ausgegangen von dieser Annahme die Ausgangsspannung u_{out} als 2V bestimmt. Jetzt sollen wir überprüfen, ob unsere Annahme berechtigt war, d.h. ob die Voraussetzungen des Sättigungsbereichs erfüllt sind.

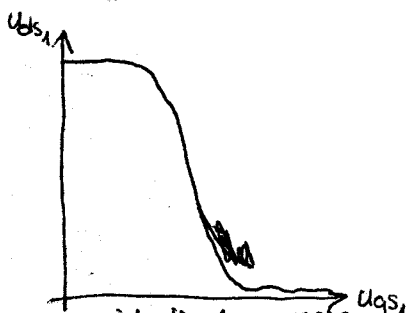
Erstens gilt: $u_{in} = u_{gs,1} = 3V$, $U_{th,1} = 2V \Rightarrow u_{gs,1} - U_{th} = 1V > 0 \Rightarrow 1. \text{ Bedingung ist erfüllt.}$

Zweitens gilt nach Aufgabe a) und e) $u_{out} = u_{ds,1} = 2V \Rightarrow u_{ds,1} = 2V \geq u_{gs,1} - U_{th} = 1V \Rightarrow 2. \text{ Bedingung ist auch erfüllt.}$

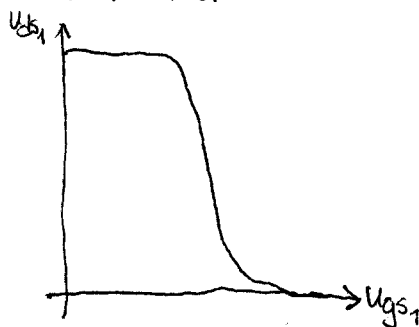
\Rightarrow Der Transistor T_1 war tatsächlich in der Sättigung betrieben, das heißt, dass unsere Annahme richtig war.

g) Im Skriptum wurde ausführlich ~~am~~ am Beispiel eines nMOS-Technologie-Inverters und eines CMOS-Inverters diskutiert, welche dieser Schaltungen aus dem Aspekt der statischen Verlustleistung vorzuziehen ist. Nach der Arbeitspunktbestimmung genau mit einer analogen Methode, zu der wir bei Eintore und Zweitore verwendet haben, und gemäß der angegebenen Zahlenwerte, kommt man auf die Übertragungskennlinie beider Inverter:

nMOS-Inverter:



CMOS-Inverter:



Also ~~des~~ des CMOS-Inverters für sehr hohe Eingangsspannungen gleich Null, aber die des nMOS-Inverters für sehr hohe Eingangsspannungen nie Null. Deswegen wird bei einem nMOS-Inverter für hohe u_{gs} , gemäß $p = u \cdot i$, was vor dieser Teilaufgabe auch gegeben wird, immer eine statische Verlustleistung entnommen. Dagegen ist die Verlustleistung für sehr große u_{gs} ^{beim CMOS} gleich Null. Deswegen wird in der Industrie CMOS-Technologie am häufigsten verwendet. Es ist ein wichtiges Kriterium, dass ein Transistor an den Positionen 0 und 1, dazwischen er immer wieder schaltet, und ~~der~~ nur für ganz kleine Zeitintervalle im leitenden Bereich ist, keine Verlustleistung hat. Das ist bei CMOS-Technologie genau der Fall. In hochintegrierten Schaltungen ist die Anzahl der Transistoren sehr hoch und ihre Verlustleistung das wichtigste Kriterium beim Entwurf.

Im Rahmen der folgenden Aufgabe führen wir ein analoges Vergleich zwischen CMOS-Inverter und Widerstand-nMOS-Inverter.

Kommen wir richtig zur Teilaufgabe g), ~~ist~~ ist zunächst die Verlustleistung des Widerstand-nMOS-Inverters gemäß der Gleichung aus der Angabe zu bestimmen.

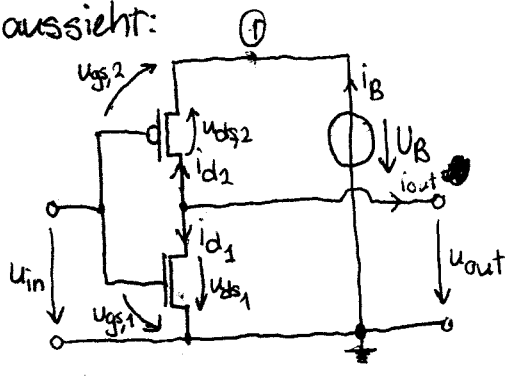
$$p(t) = U_B \cdot i_B(t)$$

Es gilt außerdem $U_B = 5V$ und i_B ist ~~gleich~~ gleich zu i_{d1} , wie man leicht aus dem Ersatzschaltbild aus Teilaufgabe a) ablesen kann. ~~1~~ Nachdem wir bei Teilaufgabe f) bestätigt haben, dass der Transistor T_1 für $u_{in} = u_{gs1} = 3V$ sich in Sättigung befindet, kann man durch einfaches Einsetzen in die Gleichung $i_B(t) = i_{d1} = \frac{1}{2} \beta_1 (u_{gs1} - U_{th,1})^2$, $i_B(t)$ und dadurch $p(t)$ bestimmen.

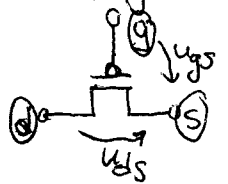
$$\Rightarrow i_B(t) = i_{d1} = \frac{1}{2} \cdot 1 \cdot 10^{-3} \frac{A}{V^2} \underbrace{(3V - 2V)^2}_{1V} = 0,5 \cdot 10^{-3} A, \text{ was wir bei e) eigentlich schon berechnet haben.}$$

$$\Rightarrow p(t) = U_B \cdot i_B(t) = 5V \cdot 0,5 \cdot 10^{-3} A = 2,5 mW$$

h) Nun ist der Schalter S an erster Position, d.h., dass wir ein CMOS-Inverter haben, der folgendermaßen aussieht:



Für die weiteren Aufgaben ist es sinnvoll, die charakterisierenden Gleichungen eines p-MOSFETs ~~uns~~ anzuschauen. Ein pMOS hat folgendes Schaltsymbol:



wobei diesmal Source auf einem größeren Potential als Drain anliegt, also $u_{ds} \leq 0$ gilt. Bei einem pMOS sind Drain und Source diesmal p-dotiert und dazwischen

befindet sich eine n-dotierte Schicht. Deswegen soll man eine negative Spannung u_{gs} anliegen um einen p-Kanal zu bilden. Außerdem gilt es $U_{th} < 0$, diesmal. Um die Schichman-Hodges-Gleichung für einen pMOS-Transistor zu bestimmen, soll man lediglich die Vorzeichen der Ströme und Spannungen ~~umkehren~~ umkehren.

$$\Rightarrow i_g = 0$$

$$i_d = \begin{cases} 0, & U_{th} - u_{gs} \leq 0 \\ -\beta (u_{gs} - U_{th}) u_{ds} - \frac{1}{2} u_{ds}^2, & 0 < U_{th} - u_{gs} > -u_{ds} \\ -\frac{1}{2} \beta (u_{gs} - U_{th})^2, & 0 < U_{th} - u_{gs} \leq -u_{ds} \end{cases}$$

wobei die zusätzlichen negativen Vorzeichen ~~von~~ von i_d kommen. Falls in linker Seite $-i_d$ stehen würde, würden Minuszeichen vor den Gleichungen nicht eintreten.

Hier diskutieren wir kurz die Funktionsweise eines CMOS-Inverters, bevor wir mit Teilaufgabe h) weitermachen. Für sehr kleine Eingangsspannungen sperrt der nMOS und leitet der p-MOS. Dabei ist der Eingang logisch „0“ und da p-MOS leitet der Ausgang logisch „1“ bzw. $u_{out} = U_B$. Erhöht man die Eingangsspannung leiten die beiden Transistoren in einem mittleren Bereich und für sehr hohe ^{Spannungen} leitet pMOS und leitet nMOS. Dabei ist der Eingang logisch „1“ und Ausgang logisch „0“. Der Eingang wird also invertiert.

Kommt man zur Teilaufgabe h) richtig, hat man die Gleichung $p(t) = U_B \cdot i_B(t)$, wobei p in Abhängigkeit von U_B und i_B angegeben werden soll. Dafür ist es logisch $i_B(t)$ in Abhängigkeit von i_{d2} ausdrücken. Man merkt aber leicht: $i_B = -i_{d2}$ (KCL bei $\textcircled{1}$).

$$\Rightarrow p(t) = U_B \cdot (-i_{d2}) = -U_B \cdot i_{d2}$$

i) Zunächst sollen wir den Arbeitsbereich des Transistors T_2 mithilfe der Schichman-Hodges-Gleichungen für pMOS, die wir gerade hergeleitet haben, bestimmen. Dabei wissen wir $u_{in} = 3V$ und $U_{th,2} = -2V$. Jetzt sollen wir die Voraussetzungen der Bereiche überprüfen.

Masche über $u_{gs,2}, u_{in}$ und U_B : $-u_{gs,2} + u_{in} - U_B = 0 \Rightarrow u_{gs,2} = u_{in} - U_B = 3V - 5V = -2V$

$\Rightarrow U_{th,2} - u_{gs,2} = -2V - (-2V) = 0V \leq 0 \Rightarrow$ Sperrbereich

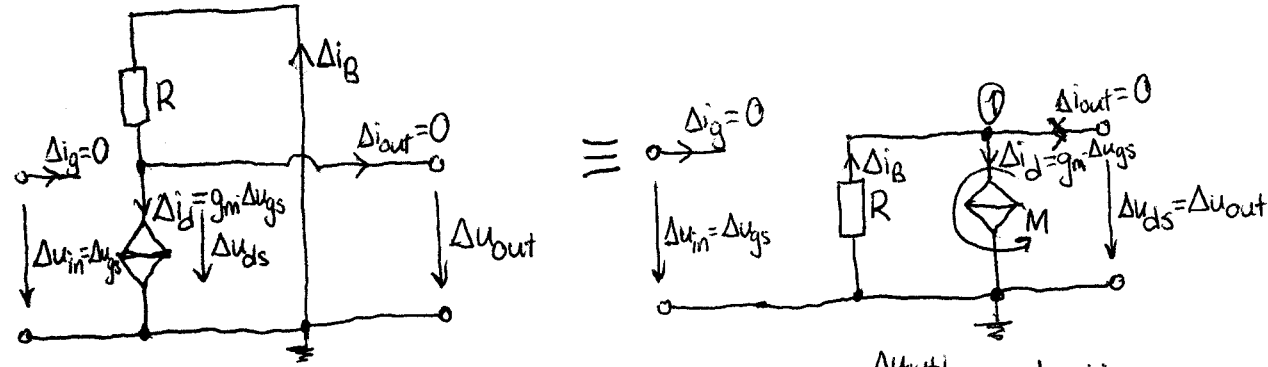
Das heißt, dass wir uns gerade noch im Sperrbereich finden.

$\Rightarrow i_{d,2} = 0 \Rightarrow p(t) = U_B \cdot i_{d,2} = -5V \cdot 0A = 0W$

j) Man erkennt aus vorheriger Teilaufgabe, dass der CMOS-Inverter sogar schon bei $u_{in} = 3V$ keine Verlustleistung hat. Dagegen hat der Widerstand-nMOS-Inverter eine Verlustleistung bei dieser Eingangsspannung. ^{Analog zu} der Diskussion von dem Skript weiß man außerdem, dass der Widerstand-nMOS-Inverter auch für sehr große Eingangsspannungen eine kleine aber nicht verschwindende Verlustleistung aufweisen wird.

Deswegen ist der CMOS-Inverter, also Position 1 des Schalters S, aus dem Aspekt der statischen Verlustleistung vorzuziehen.

k) Nun sollen wir eine Kleinsignalanalyse des Widerstand-nMOS-Inverters durchführen. Dafür sollen wir unter Ausnutzung des Kleinsignal-ESBs aus der Angabe das KS-ESB der gesamten Schaltung zeichnen. Die sieht folgendermaßen aus:



l) Man soll jetzt die Kleinsignalspannungsverstärkung $v = \frac{\Delta u_{out}}{\Delta u_{in}} \Big|_{\Delta i_{out}=0}$ bestimmen:

KCL bei ①: $\Delta i_g = \Delta i_d = g_m \cdot \Delta u_{gs} = g_m \cdot \Delta u_{in}$

KVL bei M: $-R \cdot \Delta i_g - \Delta u_{out} = 0 \Leftrightarrow R \cdot \Delta i_d = -\Delta u_{out} \Rightarrow \Delta i_d = \frac{-\Delta u_{out}}{R}$

$\Rightarrow \Delta i_d = g_m \cdot \Delta u_{in} = \frac{-\Delta u_{out}}{R} \Rightarrow \frac{\Delta u_{out}}{\Delta u_{in}} \Big|_{\Delta i_{out}=0} = -g_m R = v$

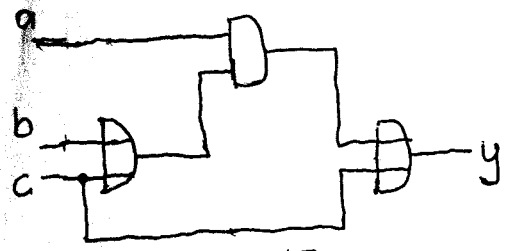
A2) In dieser Aufgabe geht es um die Logikschaltungen. Diese Art der Schaltungen sind auch praxisrelevant, da man mit den bedingt auf eine Kombination der Eingänge, deterministisch einen Ausgang erzeugen. Im Rahmen dieser Kapitel und Aufgabe gehen wir von binären Signalen aus, die also einen von beiden diskreten Werten "0" oder "1", bzw. "falsch" oder "wahr" annehmen. Es gibt außerdem drei Grundverknüpfungen: NOT, AND, OR, wobei NOT einfach ein Inverter ist und die Realisierungen anderer im Skript zu finden sind. Es gibt viele Darstellungsmöglichkeiten einer Logikschaltung, darunter Wertetabellen, die für alle Eingangskombinationen den Ausgang zeigt, Darstellung im Booleschen Algebra, womit man die Schaltungen in Form der mathematischen Funktionen ganz geschickt darstellen kann und

deren zahlreiche Rechenregeln im Skript zu finden sind, Schaltungsdiagramm in Gatterebene, wobei die AND, OR, usw. verschiedene Gattersymbole haben, und in Transistorebene für Schaltungstechnik 1 relevant sind.

Eine wichtige Eigenschaft der Booleschen Algebra ist, dass jede logische Verknüpfung mit Hilfe NAND (invertierter und) oder NOR (invert. oder)-Gatter darstellbar sind. Außerdem sind NAND und NOR-Gatter besonders einfach mit lediglich 4 Transistoren realisierbar.

Anmerkung: Im Skriptum sind 4 Arten der Realisierungsmöglichkeiten der Logikschaltungen erklärt, jedoch sind darunter nur noch die Realisierung mit CMOS relevant.

a) Nun haben wir eine Logikschaltung auf Gatter-Ebene gegeben, wobei die amerikanischen Gattersymbole verwendet werden. Jedoch möchte ich im Rahmen dieser Musterlösung die europäischen Symbole benutzen. Die Schaltung sieht damit folgendermaßen aus:



Die Schaltung hat drei Eingänge a, b, c und einen Ausgang y. Die Eingänge b und c sind OR-verknüpft und wird diese mit a AND-verknüpft. Schließlich wird diese Verknüpfung mit c zu y OR-verknüpft.

Die Boolesche Funktion dieser Schaltung lautet demnach:

$$y = (a \wedge (b \vee c)) \vee c \quad , \text{ oder wie in EDS: } y = (a \cdot (b + c)) + c$$

b) In dieser Teilaufgabe sollen wir den obigen Ausdruck möglichst vereinfachen. Dafür sind die Rechenregeln der Booleschen Algebra zu nutzen.

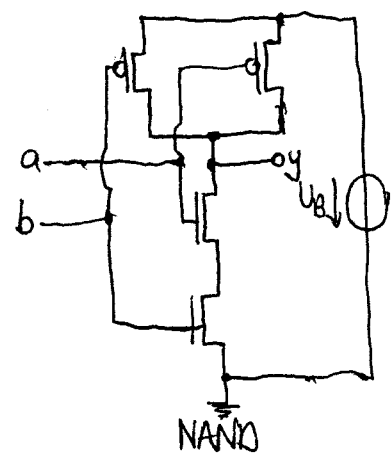
$$y = (a \wedge (b \vee c)) \vee c \xrightarrow{\text{Distributivgesetz}} y = (a \wedge b) \vee (a \wedge c) \vee c = (a \wedge b) \vee (a \wedge c) \vee c$$

(Hier soll man merken, dass a ∧ c von c überdeckt, also absorbiert wird)

$$\xrightarrow{\text{Absorption}} \boxed{y = (a \wedge b) \vee c} \quad \left(\text{Alternativ: } y = (a \wedge b) \vee (c \wedge (a \vee 1)) = (a \wedge b) \vee c \right)$$

c) Nun sollen wir eine Realisierung der obigen Ausdruck in CMOS-Technologie in Transistorebene angeben. Dabei sollen wir aber beachten, dass CMOS-Logik invertierend ist.

Beispielsweise:

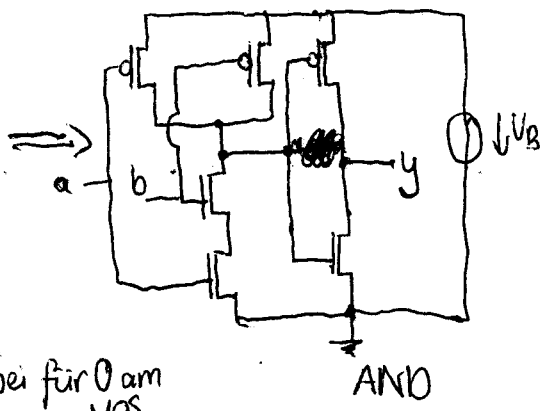


ist diese Schaltung ein NAND-Gatter. Um ein AND zu bekommen soll man diesen zusätzlich invertieren.

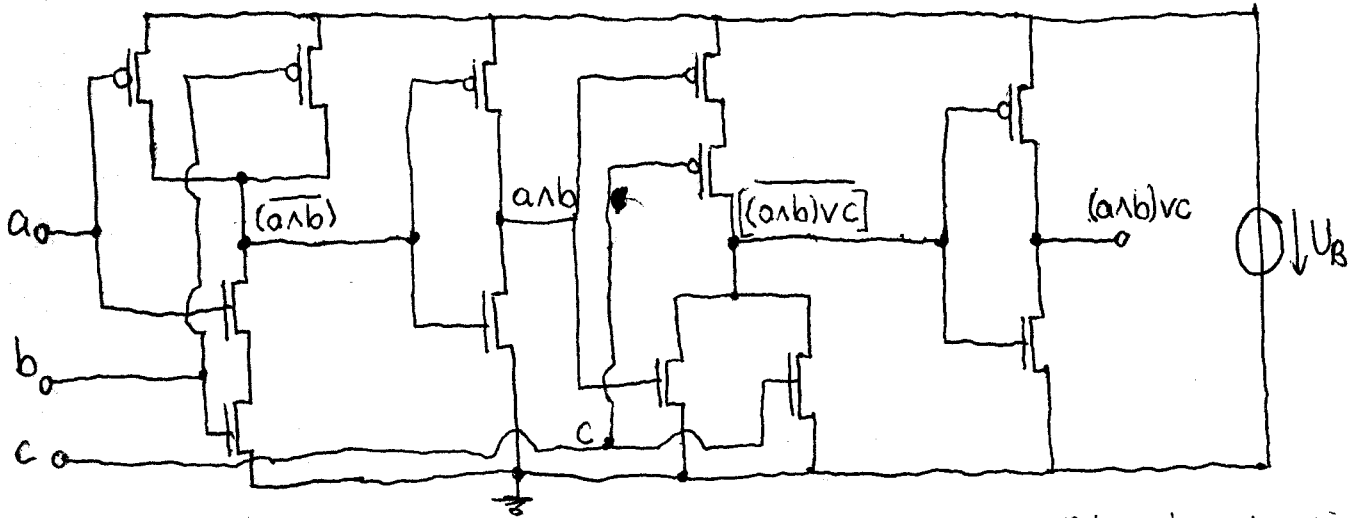
Wertetabelle:

a	b	y
0	0	1
0	1	1
1	0	1
1	1	0

wobei für 0 am Eingang pMOS leitet und nMOS sperrt, für 1 am Eingang umgekehrt.



$$\Rightarrow y = (a \wedge b) \vee c$$



→ Dabei kann man sich merken, dass wegen der beiden zusätzlichen Inverter einige Transistoren verschwenderisch verwendet ^{würden}. Man könnte es besser optimieren, was aber im folgenden kommt.

d) Für die obige Realisierung werden 12 Transistoren benötigt.

e) In dieser Aufgabe soll man die Tatsache nutzen, dass alle Logikschaltungen mit nur NAND oder nur NOR Gatter realisierbar sind. Um die Funktion $y = (a \wedge b) \vee c$ auf diese Form zu bringen, soll man die sogenannten DeMorganschen Gesetze ausnutzen. Die sind:

$$\overline{a \vee b} = \bar{a} \wedge \bar{b}, \quad \overline{a \wedge b} = \bar{a} \vee \bar{b}$$

Außerdem ist hier die Nutzung von zweifacher Negation ~~nutz~~ nützlich: $\overline{\overline{x}} = x$.

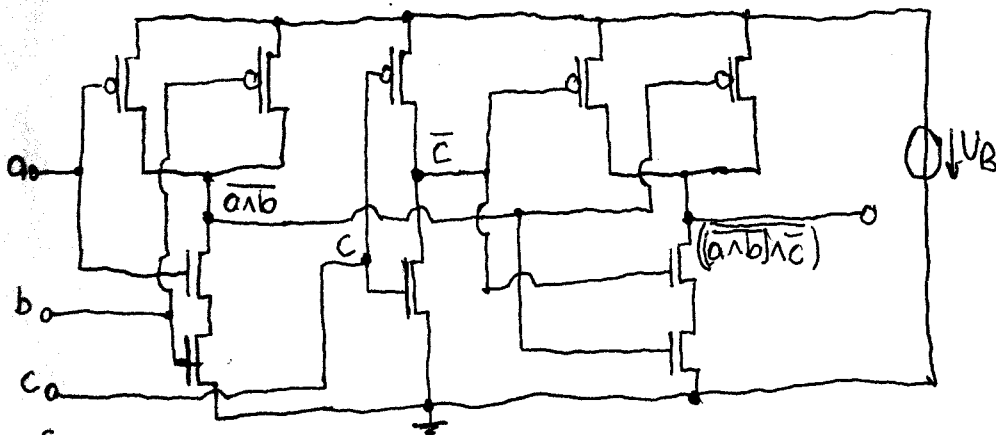
$$\Rightarrow y = (a \wedge b) \vee c = \overline{\overline{(a \wedge b) \vee c}} = \overline{(\overline{a \wedge b}) \wedge \bar{c}} \quad \text{(Dieser Ausdruck ist mit 2 NANDs und einem NOT zu realisieren)}$$

\uparrow 2. fache Negation \uparrow DeMorgan

Anmerkung: Obwohl wir hier einen zusätzlichen Inverter verwenden, würde es auch ohne dem gehen.

Unter Ausnutzung von $c \wedge c = c$, kann man mit 3 NAND obigen Ausdruck auch so realisieren: $y = \overline{(a \wedge b) \wedge (c \wedge c)}$. Mit weiteren Umformungen kann man auch einen Ausdruck mit ausschließlich NOR Gatter erreichen.

f) Nun sollen wir die NAND-Verknüpfung von a, b mit invertiertem c NAND verknüpfen und dessen Realisierung in Transistor-Ebene angeben?



Für diese Realisierung sind 10 Transistoren benötigt. Also haben wir die Logikschaltung weiter optimiert und 2 Transistoren gespart.