

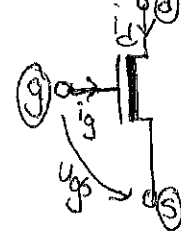
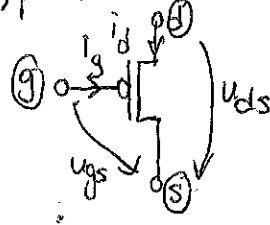
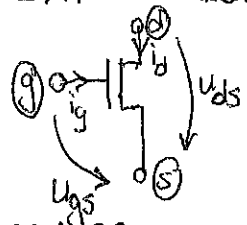
Kapitel 5 - Feldeffekttransistoren

→ 3 Anschlüsse: Gate, Source, Drain

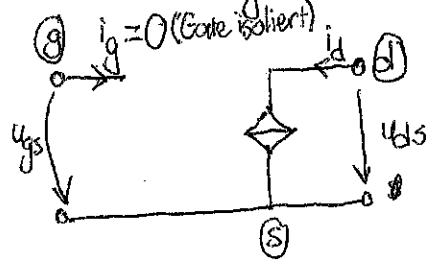
→ 3 Arten:

- 1) n-Kanal-Anreicherungstyp-FET
- 2) p-Kanal-Anr.-FET

3) n-Kanal-Verarmungstyp-FET



• n-MOS
→ Shichman-Hodges-Modell



→ Gleichungen:

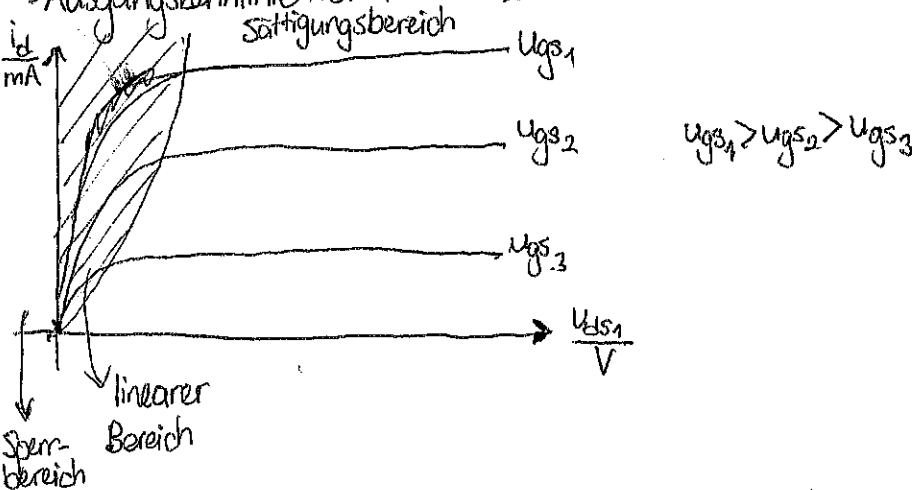
$$i_g = 0 \text{ A}$$

$$i_d = \begin{cases} 0, & \text{für } u_{gs} - U_{th} \leq 0 \quad \rightarrow \text{Sperrbereich} \\ \beta (u_{gs} - U_{th}) u_{ds} - \frac{1}{2} \beta u_{ds}^2, & \text{für } 0 < u_{gs} - U_{th} > u_{ds} \quad \rightarrow \text{linearer Bereich} \\ \frac{1}{2} \beta (u_{gs} - U_{th})^2, & \text{für } 0 < u_{gs} - U_{th} \leq u_{ds} \quad \rightarrow \text{Sättigungsbereich} \end{cases}$$

$U_{th} > 0 \Rightarrow$ Anreicherungstyp, $u_{ds} \geq 0$ (Drain hat die größere Potential)
 $U_{th} < 0 \Rightarrow$ Verarmungstyp

→ Kanallängenmodulation: Abhängigkeit von i_d von u_{ds} mit Hilfe eines Faktors $(1 + \alpha u_{ds})$

→ Ausgangskennlinie von nMOS-Enhancement

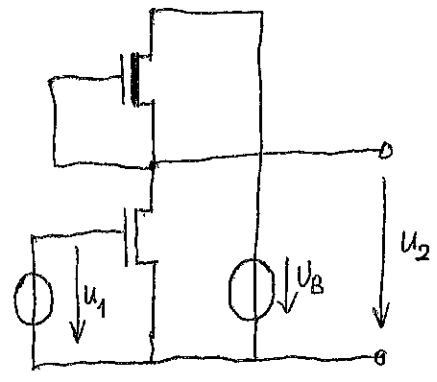


• p-MOS
→ $u_{ds} \leq 0, U_{th} < 0$ (Source hat die größere Potential)

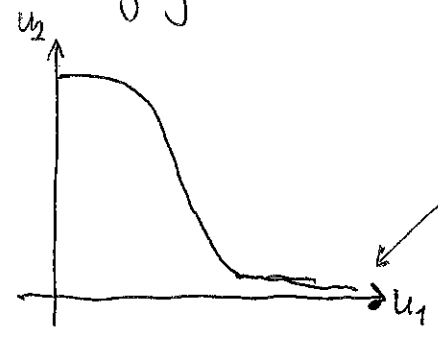
$$i_g = 0$$

$$i_d = \begin{cases} 0, & U_{th} - u_{gs} \leq 0 \\ -\beta (u_{gs} - U_{th}) u_{ds} - \frac{1}{2} \beta u_{ds}^2, & 0 < U_{th} - u_{gs} > -u_{ds} \\ -\frac{1}{2} \beta (u_{gs} - U_{th})^2, & 0 < U_{th} - u_{gs} \leq -u_{ds} \end{cases}$$

• nMOS-Inverter

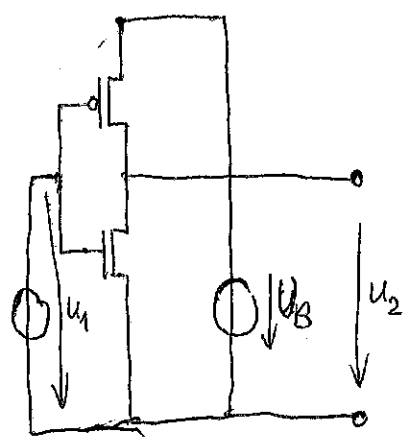


→ Übertragungskennlinie:

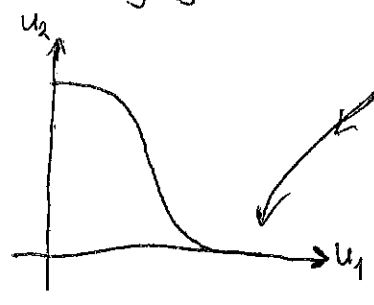


Nachteil: Für $u_1 \gg 0$ immer Leistung entnommen.

• CMOS-Inverter



→ Übertragungskennlinie



Vorteil: Für $u_1 \geq U_B$ keine Leistung entnommen.

Kapitel 10-Logikschaltungen (siehe DS und EDS)

- 2 diskrete Werte: „0“ und „1“
- 3 Grundverknüpfungen: NOT, AND, OR
- Wertetabelle am Bsp von AND:

x_1 x_2 y $\Rightarrow y = x_1 \wedge x_2 = x_1 x_2$

x_1	x_2	y
0	0	0
0	1	0
1	0	0
1	1	1

→ Alle mögliche Verknüpfungen zweier Signale durch NAND oder NOR darstellbar.

→ Boolesche Algebra (siehe Skript)

→ CMOS-Technologie:

- *Vorteile:
- einfach realisierbar
- wenige Verlustleistung

Bsp: NAND-Gatter

$y = \overline{x_1 \wedge x_2}$

x_1	x_2	y
0	0	1
0	1	1
1	0	1
1	1	0

